

## Быстродействующая динамическая память

Существующие базовые разновидности:

DRAM - Dynamic Random Access Memory

FPM DRAM (Fast Page Mode DRAM) - быстрая страничная память

EDO-DRAM (Extended Data Out) - память с усовершенствованным

выходом

BEDO (Burst EDO) - пакетная EDO RAM

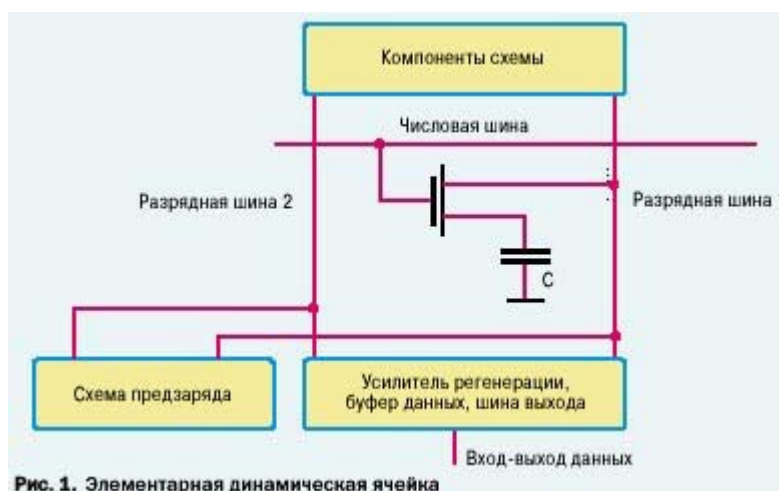
SDRAM (Synchronous DRAM) - синхронная DRAM

DDR SDRAM, SDRAM II (Double Data Rate SDRAM) - SDRAM с удвоенной скоростью передачи данных

### DRAM

Динамическая память способна запоминать нули и единицы благодаря емкости р/п перехода. Ячейка DRAM работает на базе структуры комплиментарной технологии металл-оксид-полупроводник (CMOS, Complimentary Metal Oxide Semiconductor).

Микросхема DRAM содержит множество элементарных ячеек, одна из которых изображена на рис.1.



Транзистор в динамической ячейке работает как ключ, управляющий передачей заряда. При записи в конденсатор бита информации, ключ открывается, заряжая конденсатор до определенной величины.

Считывание информации — процесс длительный, включающий подготовительные операции. Вначале специальная схема предзаряда сообщает потенциал (опорное напряжение) обеим разрядным шинам. Схема также модифицирует ячейку, восстанавливая информационную емкость после чтения (откуда и название режима работы — чтение с модификацией)).

Далее для доступа к микросхеме памяти из контроллера ОЗУ поступают сигналы управления, которые переводят числовую шину в активное состояние. При этом на числовой шине ячейки также повышается потенциал, транзистор открывается и замыкает цепь: корпус — числовая шина 1.

Если емкость заряжена, она разряжается на числовую шину, повышая

ее потенциал. Между числовыми шинами 1 и 2 возникает напряжение.

Циркулирующий при этом ток создает на выходной шине заряд (единица).

Если емкость не была заряжена, то на выходе формируется ток противоположного направления и с шины данных снимается ноль.

Процесс записи обратен считыванию.

Временных характеристик динамической памяти очень много, но важнейших — три:

время предзаряда памяти — представляет собой задержку, связанную с предварительным зарядом разрядных шин опорным напряжением;

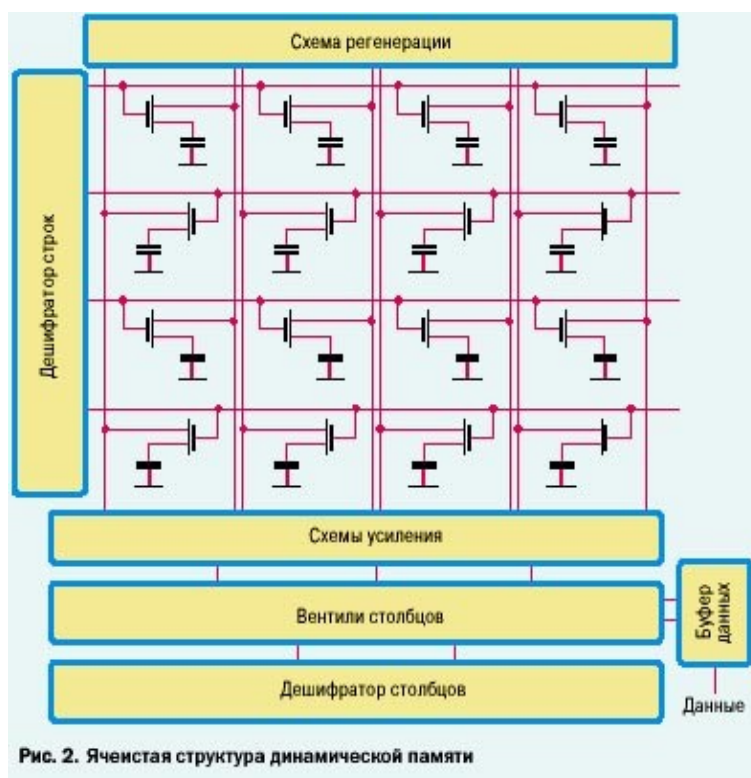
время доступа к памяти — активизация числовой шины, в результате чего на выходную шину данных памяти выкладывается информация;

время цикла — состоит из задержек времени предзаряда и доступа.

Время задержки вывода данных DRAM измеряется величинами от десятков до сотен наносекунд.

В DRAM каждую ячейку можно отыскать по ее адресным координатам, оформленным в строки и столбцы.

Все ячейки выводятся на общую числовую шину. Выбор соответствующего адреса строки и столбца позволяет определить место ячейки. Содержимое нескольких ячеек, объединенных на выходе, образует информационную группу — байт, или слово, и следует на шину данных памяти. Разрядность внешней шины данных памяти позволяет повысить ее пропускную способность. Вместе с тем рост быстродействия памяти не возымеет никакого эффекта, если она не способна работать с малыми временными задержками.



Каждый из элементов адресной группы стробируется импульсами сигналов управления **RAS#** (Row Address Strobe) и **CAS#** (Column Address Strobe).

При доступе к шинам строк активизируется числовая шина, и все ячейки в данной строке считываются (рис. 2). На разрядные шины поступают соответствующие потенциалы от конденсаторов. На активизацию шин столбцов, подключение разрядных шин к буферу данных и извлечение из ячейки памяти данных также требуется два-три такта синхронизации. Еще один такт уходит на доставку данных в буфер данных DRAM. По такту затрачивается на доставку данных в контроллер ОЗУ и далее — в процессор.

Таким образом, за один цикл обращения к памяти система генерирует, в общей сложности 9 –11 тактов синхронизации. При считывании данных следует учесть еще два такта, расходуемых на восстановление заряда ячеек.

В отличие от Statics RAM, динамическая память энергозависима и требует периодического восполнения энергии в паразитных емкостях, что реализуется стандартной процедурой регенерации. Эта аппаратная процедура инициируется интервальным таймером каждые 15,6 мкс и выполняется через канал ПДП. Для регенерации используются только стробы RAS#, а стробы CAS# в процессе не участвуют.

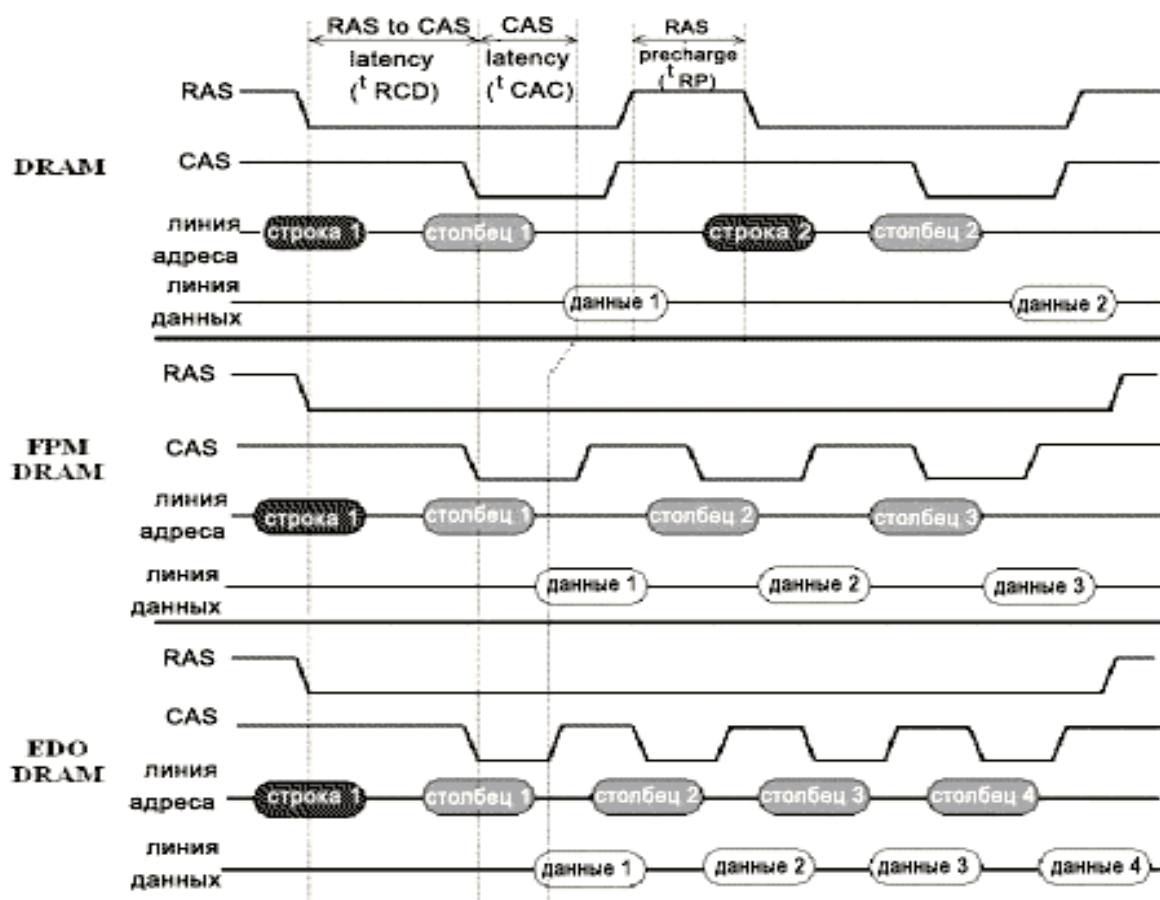


Рис 3. Временная диаграмма, иллюстрирующая работу некоторых типов памяти

## FPM DRAM

FPM-DRAM - **F**ast-**P**age **M**ode DRAM (Память быстрого страничного режима), разработанная в 1995 году. Основным отличием от памяти предыдущего поколения стала поддержка *сокращенных адресов*. Если очередная запрашиваемая ячейка находится в той же самой строке, что и предыдущая, ее адрес однозначно определяется одним лишь номером столбца и передача номера строки уже не требуется. Диаграмма, изображена на рис.3. В то время как при работе с обычной DRAM (верхняя диаграмма) после считывания данных сигнал RAS деактивируется, подготавливая микросхему к новому циклу обмена, контроллер FPM-DRAM удерживает RAS в низком состоянии, избавляясь от повторной пересылки номера строки.

## EDO-DRAM

У FPM низкое состояние CAS удерживается до окончания считывания данных, затем CAS деактивируется, выдерживается небольшая пауза на перезарядку внутренних цепей, и только после этого на адресную шину подается номер колонки следующей ячейки. В новом типе памяти, получившем название EDO-DRAM (Extend Data Output), напротив, CAS деактивируется в процессе чтения данных *параллельно* с перезарядкой внутренних цепей, благодаря чему номер следующего столбца может подаваться *до* завершения считывания линий данных. Продолжительность рабочего цикла EDO-DRAM (в зависимости от качества микросхемы) составляла 30, 25 и 20 нс, что соответствовало всего двум тактам в 66 МГц системе.

## BEDO-DRAM

Двукратное увеличение производительности было достигнуто лишь в BEDO-DRAM (Burst EDO). Добавив в микросхему генератор номера столбца, конструкторы ликвидировали задержку CAS Delay, сократив время цикла до 15 нс. После обращения к произвольной ячейке микросхема BEDO *автоматически*, без указаний со стороны контроллера, увеличивает номер столбца на единицу, не требуя его явной передачи. По причине ограниченной разрядности адресного счетчика (конструкторы отвели под него всего лишь два бита) максимальная длина пакета не могла превышать четырех ячеек ( $2 \times 2 = 4$ ).

## SDRAM

Появление микропроцессоров с шинами на 100MHz привело к радикальному пересмотру механизма управления памятью, и подтолкнуло конструкторов к созданию *синхронной динамической памяти* - SDRAM (Synchronous-DRAM). Как и следует из ее названия, микросхемы SDRAM памяти работают синхронно с контроллером, что гарантирует завершение цикла в строго заданный срок. Кроме того, номера строк и столбцов подаются *одновременно*, с таким расчетом, чтобы к приходу следующего тактового импульса сигналы уже успели стабилизироваться и были готовы к считыванию.

Так же, в SDRAM реализован усовершенствованный пакетный режим обмена. Контроллер может запросить как одну, так и несколько последовательных ячеек памяти, а при желании - всю строку целиком! Это стало возможным благодаря использованию полноразрядного адресного счетчика уже не ограниченного, как в BEDO, двумя битами.

Другое усовершенствование. Количество матриц (банков) памяти в SDRAM увеличено с одного до двух (в некоторых моделях и четырех). Это позволяет обращаться к ячейкам одного банка параллельно с перезарядкой внутренних цепей другого, что вдвое увеличивает предельно допустимую тактовую частоту. Помимо этого появилась возможность одновременного открытия двух (четырех) страниц памяти, причем открытие одной страницы (т.е. передача номера строки) может происходить во время считывания информации с другой, что позволяет обращаться по новому адресу столбца ячейки памяти на каждом тактовом цикле.

В отличие от FPM-DRAM\EDO-DRAM\BEDO, выполняющих перезарядку внутренних цепей при закрытии страницы (при деактивации сигнала RAS), синхронная память прodelывает эту операцию автоматически, позволяя держать страницы открытыми столь долго, сколько это угодно.

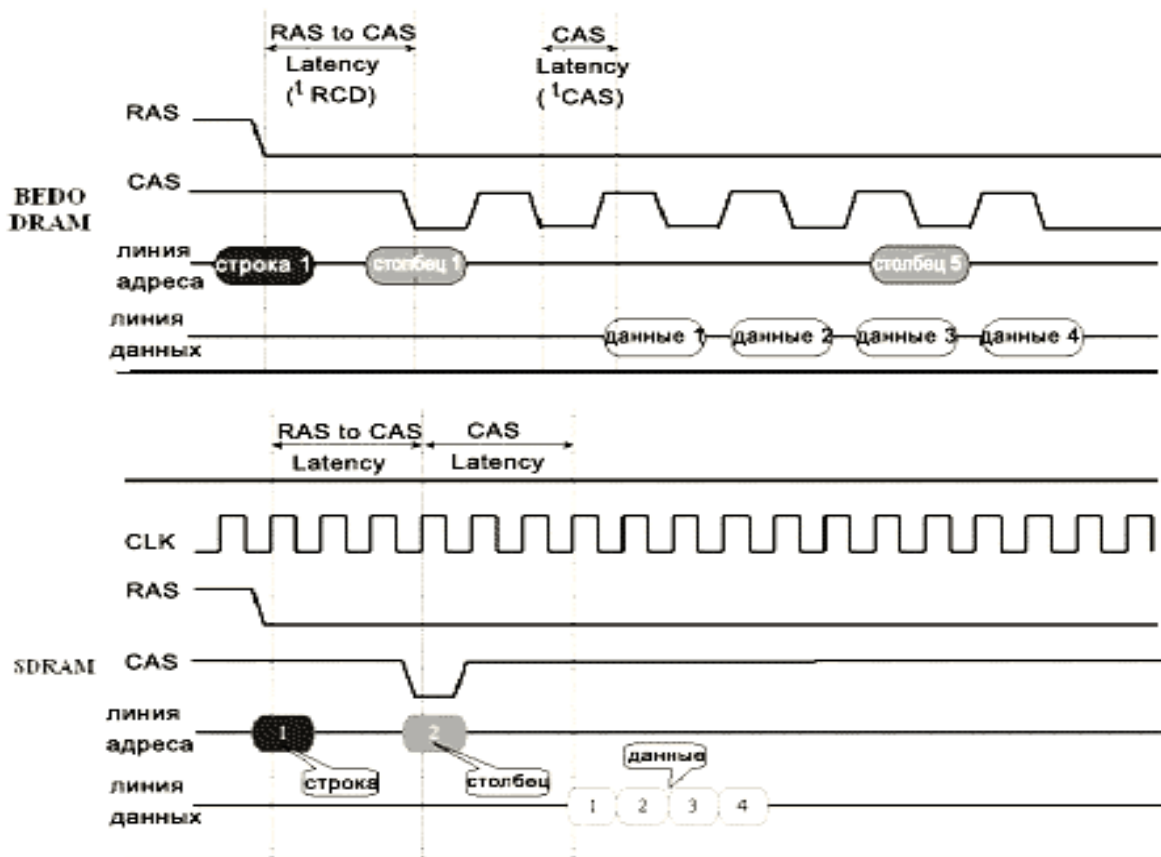


Рис. 4. Временная диаграмма, иллюстрирующая работу современных типов памяти

## DDR SDRAM, SDRAM II

Дальнейшее развитие синхронной памяти привело к появлению DDR-SDRAM - Double Data Rate SDRAM (SDRAM удвоенной скорости передачи данных). Удвоение скорости достигается за счет передачи данных и по фронту, и по спаду тактового импульса (в SDRAM передача данных осуществляется только по фронту). Благодаря этому эффективная частота увеличивается в два раза - 100MHz DDR-SDRAM по своей производительности эквивалента 200MHz SDRAM. Правда, по маркетинговым соображениям, производители DDR-микросхем стали маркировать их не тактовой (рабочей) частотой, а максимально достижимой пропускной способностью, измеряемой в мегабайтах в секунду. Т.е. DDR-1600 работает вовсе не 1.6GHz (что пока является недостижимым идеалом), а всего лишь на 100MHz. Соответственно, DDR-2100 работает на частоте 133MHz.

Таблица 1. Важнейшие характеристики основных типов памяти

Тип памяти	Рабочая частота, MHz	Разрядность, бит	Время доступа, нс.	Время рабочего цикла, нс.	Пропускная способность, Мбайт/с
FPM	25, 33	32	70, 60	40, 35	100, 132
EDO	40, 50	32	60, 50	25, 20	160, 200
SDRAM	66, 100, 133	64	40, 30	10, 7.5	528, 800, 1064
DDR	100, 133	64	30, 22.5	5, 3.75	1600, 2100
RDRAM	400, 600, 800	16	„30	„2.5	1600, 2400, 3200