

# **Технические особенности и новаторские решения процессоров AMD (Часть 2)**

Курсы лекций «ЭВМ и периферийные устройства»

**Факультатив**

Лектор - доцент, к.т.н.

Кузьмин Александр Александрович

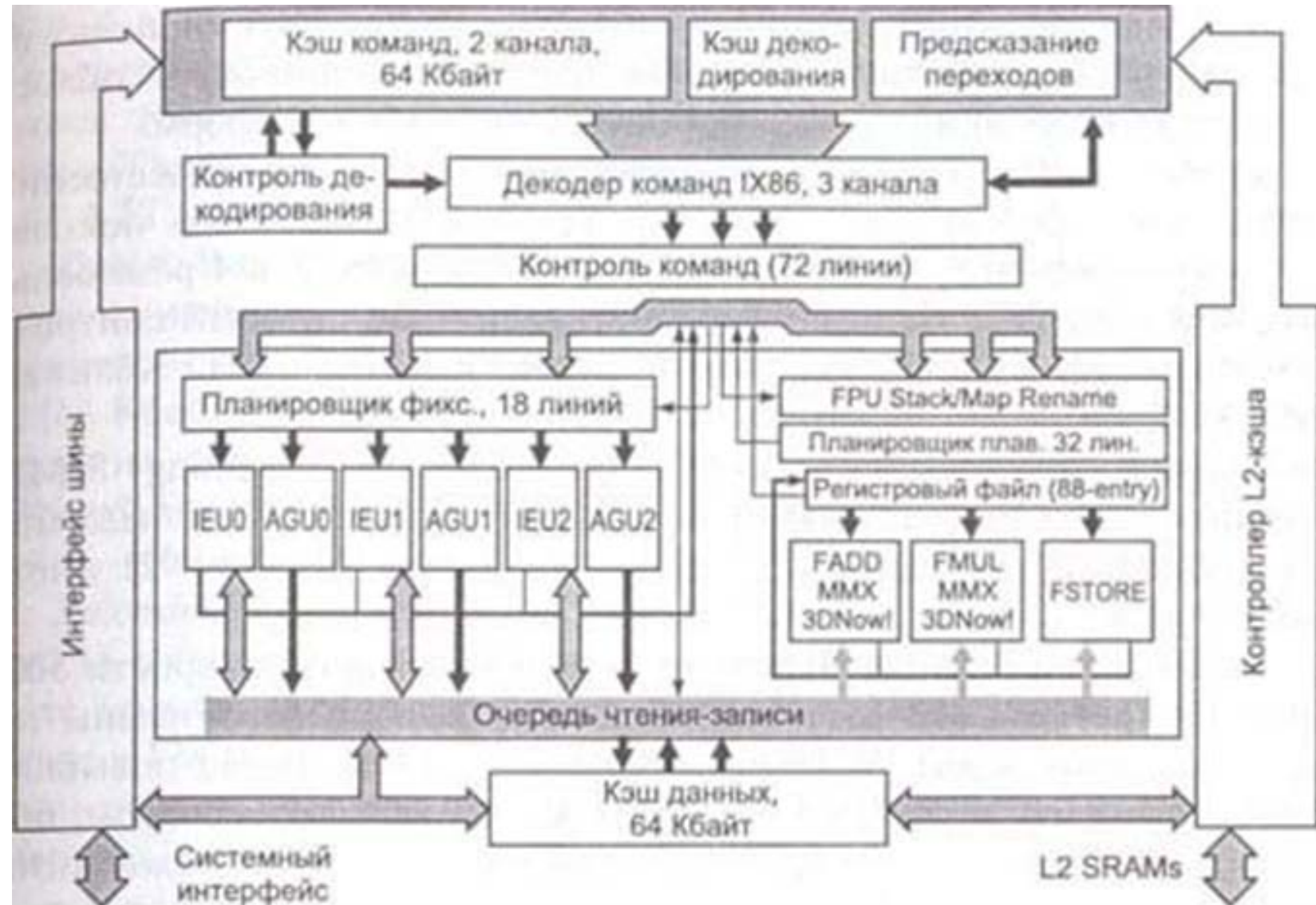
# Процессор AMD Athlon

Выпуск процессора Athlon летом 1999 года стал самым успешным проектом в истории AMD. Компания выпустила первый процессор седьмого поколения (у него было достаточно много радикальных архитектурных отличий от Pentium II/III и K6-III, чтобы заслужить название процессора следующего поколения), и это означало также, что они вырвали технологическое лидерство у Intel.

Athlon - процессор, с помощью которого AMD надеялась увеличить реальное конкурентоспособное присутствие в корпоративном секторе, помимо его уже состоявшегося преимущества на потребительском рынке и рынке трехмерных игр. Ядро размещалось на кристалле в 102 квадратных миллиметров и содержало приблизительно 22 млн. транзисторов.

# Основные структурные элементы ядра Athlon

Структура  
процессора  
AMD Athlon



# Основные элементы ядра Athlon

## Декодеры

Три полных декодера переводят x86-команды в макрооперации (MacroOPs) с фиксированной длиной для более высокой пропускной способности команд и увеличения мощности обработки. Вместо того чтобы выполнять x86 команды с длиной 1-15 байтов, процессор Athlon выполняет макрооперации фиксированной длины.

## Блок контроля команд

Как только макрооперация расшифрована, за цикл посылаются до трех макроопераций блоку управления инструкциями (ICU). Это буфер перенаправления макроопераций с 72 входами (ROB), который управляет выполнением каждой макрооперации в целом, осуществляет переименование регистра для операндов, управляет любыми условиями исключения и действиями команды. Блок ICU посылает макрооперацию планировщику исполнения.

# Основные элементы ядра Athlon (продолжение)

## Конвейеры исполнения

Athlon содержит 18-разрядный планировщик макроопераций и 36-разрядный планировщик операций мультимедиа и с плавающей точкой. Эти планировщики распределяют MacroOPs по девяти независимым конвейерам - три для вычислений с ФТ, три для вычисления адресов и три для выполнения команд MMX, 3DNow! и операций с плавающей точкой для x87.

## Суперскалярный блок плавающей точки FPT

Предыдущие центральные процессоры AMD были недостаточно производительными при работе с плавающей точкой по сравнению с Intel. К этому недостатку более чем ответственно отнеслись в Athlon, который характеризуется суперскалярной архитектурой, включающей три конвейера выполнения команд с плавающей точкой вне естественного порядка - FMUL (перемножение с плавающей точкой), FADD (сложение с плавающей точкой) и FSTORE (запись с плавающей точкой).

«Суперскалярность» означает способность центрального процессора выполнять более одной команды за такт процессора. Athlon же может выполнять одну операцию над 32-битовым числом с плавающей точкой за такт процессора, что дает производительность в 2.4 Гфлопс при частоте в 600 МГц.

# Основные элементы ядра Athlon (продолжение)

## Прогнозирование переходов

Процессор Athlon предлагает сложную динамическую логику прогнозирования ветвления, чтобы минимизировать или устранить задержки из-за команд перехода, широко распространенные в программном обеспечении x86.

## Системная шина

Системная шина Athlon - первая системная шина на 200 МГц для x86-платформ. Основанная на протоколе Digital Alpha EV6, первичная шина (FSB) - потенциально расширяемая до 400 МГц и более и, в отличие от разделяемой шины SMP (Symmetric Multi-Processing) проекта Pentium III, использует архитектуру «точка-точка», чтобы обеспечить широкую полосу пропускания для одно- и многопроцессорных x86 платформ.

## Архитектура кэш-памяти

Архитектура кэш-памяти Athlon существенно превосходит центральные процессоры шестого поколения - полноценный кэш первого уровня 128 Кбайт, в 4 раза больший, чем у Pentium III, и быстродействующий 64-битовый контроллер вторичного кэша 2-го уровня, поддерживающий от 512 Кбайт до 8 Мбайт.

# Основные элементы ядра Athlon (продолжение)

## Расширенный 3D Now!

В ответ на Streaming SIMD Extensions (Intel Pentium III) реализация 3DNow! в Athlon была модернизирована добавлением 24 новых команд к исходной 21 инструкции 3DNow!

Athlon был первоначально доступен в диапазонах скорости 500, 550 и 600 МГц, а немного позднее 650 МГц (все изготовлены по 0.25-мкм технологии). К концу 1999 года AMD еще более повысила частоту: его ядро K75 (750 МГц) явилось первым процессором, построенным с использованием алюминиевой 6-слойной технологии 0.18- мкм.

Утверждение о том, что это был самый быстрый x86 совместимый центральный процессора тысячелетия, спорно, поскольку Intel быстро ответила выпуском 800 МГц Pentium III. Однако AMD вскоре вернула лидерство в 2000 году выпуском версий на 800 и 850 МГц и преуспела в опережении Intel в преодолении барьера 1 ГГц буквально через несколько недель.

# Основные элементы ядра Athlon (продолжение)

## Архитектура процессора K8

Эта архитектура использовалась в серверных, настольных и мобильных процессорах AMD (Opteron, Athlon 64 и Athlon 64 X2). Первым из процессоров K8 являлся Hammer (середина 2000 года).

Одним из главных новшеств K8 является 64-разрядная архитектура x86-64 ISA. Примером 64-разрядных процессоров (IA-64) явился Intel Itanium. Однако между 64-разрядными архитектурами процессоров Itanium и K8 мало общего. Itanium - процессор, несовместимый с системой команд x86, тогда как K8, напротив, таковым является.

Стратегия AMD на 64 бита (x86-64) заключается в следующем - за основу взято производительное x86-ядро и расширен набор инструкций для возможности адресации 64-битового пространства памяти.

Особенности архитектуры x86-64 (AMD64):

- обратная совместимость с инструкциями x86;
- 8 новых 64-битовых РОН плюс 64-битовые версии прежних 8 РОН x86 (доступны лишь в 64-битовом «длинном» режиме);
- поддержка SSE и SSE2 помимо восьми новых регистров SSE2;
- увеличен объем адресуемой памяти для приложений, работающих с большими объемами данных (доступно лишь в «длинном» режиме);
- высокая производительность 32-битовых приложений плюс поддержка появляющихся 64-битовых приложений, хороший вариант переходного процессора.



# Таблица режимов процессора К8

Режим	Подрежим	Назначение	Адресуемая память, Гбайт	Операционная система	Примечания
«Преемственности» (Legacy Mode)		Работа со всеми 16- или 32-битовыми x86 приложениями	4	32-разрядная	Используются только 32 разряда в 64- разрядных регистрах. Дополнительные 64-разрядные регистры не задействованы. Перекомпиляция ПО не требуется.
«Длинный» (Long Mode)	Полный (64 разряда)	Работа с 64-разрядными приложениями (инструкции x86-64)	Более 4	64-разрядная	Используются 64-разрядные основные и дополнительные регистры. Требуется перекомпиляция старых программ.
	«Совместимости» (Compatibility Mode)	Запуск 32-разрядных программ в 64-разрядной ОС	2 в 32-битовой ОС 4 в 64- битовой ОС	32-разрядная и 64-разрядная	Используются только 32 разряда в 64-разрядных регистрах. Дополнительные 64-разрядные регистры не задействованы. Перекомпиляция ПО не требуется.

# Основные недостатки

Процессор продолжает поддерживать архитектуру x86, которая достаточно устарела.

Новые РОН можно использовать лишь в 64-битовом режиме, что не позволяет повысить производительность 32-битовых приложений посредством улучшения архитектуры системы команд.

Для реализации возможности работы как с 32-битовыми, так и с 64-битовыми приложениями процессоры К8 поддерживают два режима работы - Long Mode и Legacy Mode. В режиме Long Mode также предусмотрено два подрежима - 64-битовый и Compatibility mode (режим совместимости).

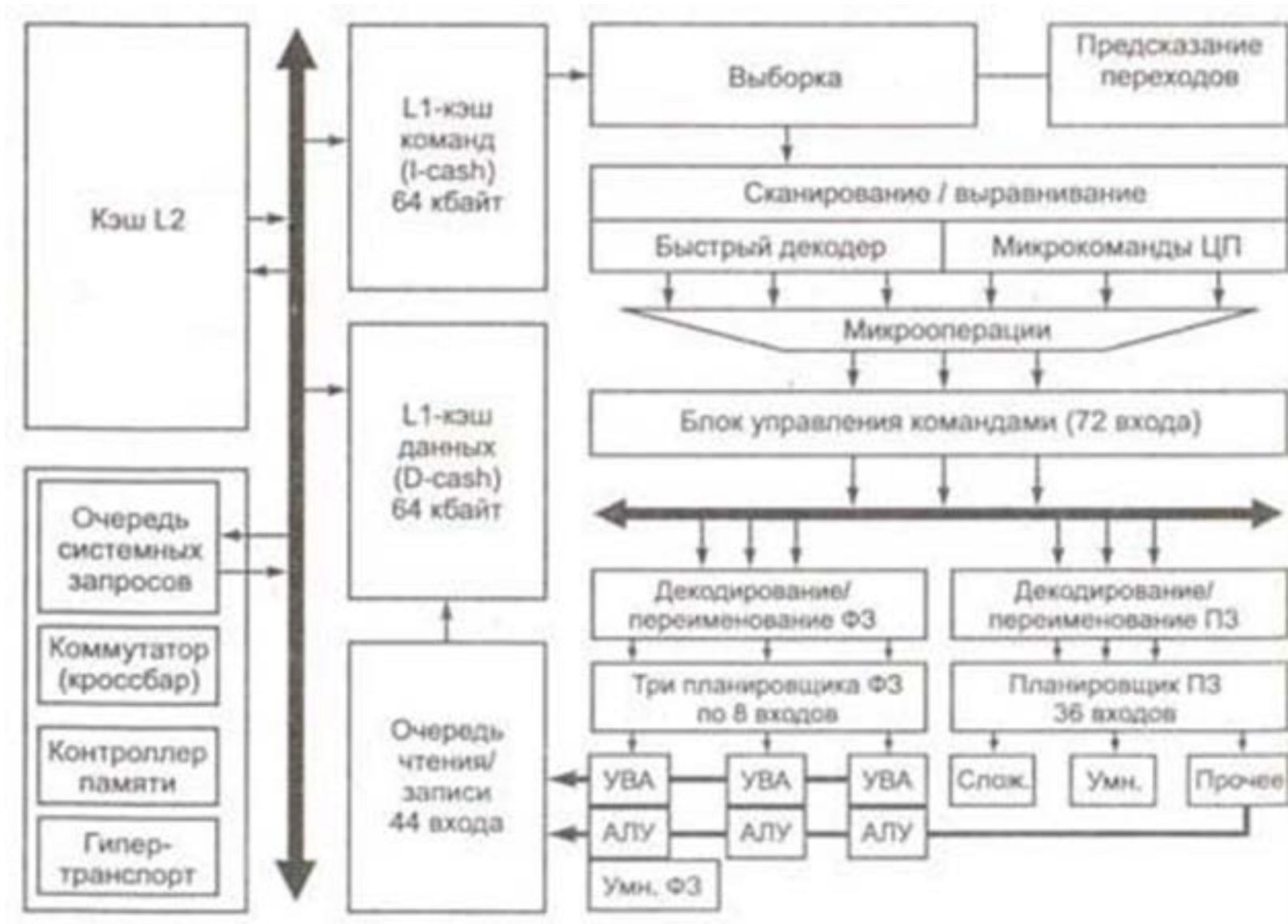
# Прочие особенности К8

Контроллер памяти интегрирован в сам процессор.

Традиционно он располагается в «северном мосте» чипсета на системной плате. Собственно, контроллер памяти - это основной функциональный блок «северного моста» (в чипсетах Intel его так и называют - МСН, Memory Controller Hub); встроенный порт («линк») шины Hyper Transport - универсальной шины межчипового соединения.

В процессорах К8 Opteron может быть до 3-4 портов НТ, что позволяет комбинировать их в кластерные структуры.

# Архитектура AMD K8



# Архитектура AMD K8 (продолжение)

Архитектура K8 разработана с перспективой создания многоядерных процессоров и многопроцессорных систем: если центральные процессоры Intel Xeon может продемонстрировать лишь 11 процентов увеличения производительности при переходе к двум процессорам, то в случае с Opteron оно составляет 24 процента;

Усовершенствован блок предсказания переходов - для увеличения точности он содержит историю 16 000 переходов, а также 2000 адресов назначения.

Исполнение инструкций на конвейере K8 начинается с блока выборки инструкций. За один такт блок выбирает из кэш-памяти 16 байт данных и выделяет из них от одной до трех инструкций x86 - сколько в выбранных данных поместилось. Поскольку средняя длина команды x86 составляет 5-6 байт, то, как правило, блоку удастся выбрать три команды за такт.

На втором такте конвейера выбранные команды распределяются по трем блокам декодирования инструкций. Самые сложные команды отправляются в декодер сложных команд (Vector Path), другие - в декодеры простых команд (Direct Path).

# Архитектура AMD K8 (продолжение)

Исходные x86-инструкции на завершающих этапах работы декодера K7/K8 переводятся в макрооперации (МакОП). Большинству x86-инструкций соответствует одна МакОП, некоторые преобразуются в 2 или 3, а наиболее сложные, например деление или тригонометрические, - в последовательность из нескольких десятков МакОП. Макрооперации имеют фиксированную длину и регулярную структуру.

Условно можно считать, что в определенный момент МакОп может «расщепляться» на две микрооперации (МкОП). Как правило, в K7 и в K8 МакОП содержит две МкОП – одну для АЛУ (ALU) (или блока плавающей запятой - FPU), другую - для УВА (устройства вычисления адреса, AGU - Address Generation Unit).

За счет конвейеризации возможны ситуации, когда одновременно в разных блоках процессора будут выполняться до двух десятков команд - и в K7, и в K8 имеется десять исполнительных устройств - три ALU, три FPU, три AGU и отдельный блок умножения.

Подобно тому, как объединение двух отдельных МкОП в одну МакОП дает явные преимущества, точно так же дела обстоят и с самими МакОП - практически везде они выступают не в виде самостоятельных единиц, а в виде группы. Группу образуют три МакОП, которые одновременно запускаются на параллельные каналы.

# Архитектура AMD K8 (продолжение)

Вся дальнейшая работа идет не с одиночными, а с «тройками» МакОП («линиями», line). Такая «линия», с точки зрения центрального управляющего блока процессора - ICU (Instruction Control Unit) воспринимается как единое целое: все основные действия выполняются именно над «линиями», в первую очередь выделение внутренних ресурсов.

Сгенерированные «линии» от декодеров по одной за такт поступают в блок управления командами - Instructions Control Unit (ICU), где подготовленные к исполнению линии накапливаются в специальной очереди (24 линии).

Из очереди в 24 линии по три МакОП в каждой ICU выбирает в наиболее удобной для исполнения последовательности (одна-три МакОП) и пересылает их либо на АЛУ, либо на блок плавающей запятой в зависимости от типа микрооперации. В случае АЛУ микрооперации сразу же попадают в очередь планировщика (шесть элементов по три МакОП), который подготавливает необходимые для исполнения микрооперации ресурсы, дожидается их готовности и только потом отправляет. Причем при исполнении одной МакОП на самом деле может происходить исполнение сразу двух действий (МкОП).